



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2002359427 A**(43) Date of publication of application: **13.12.02**

(51) Int. Cl.

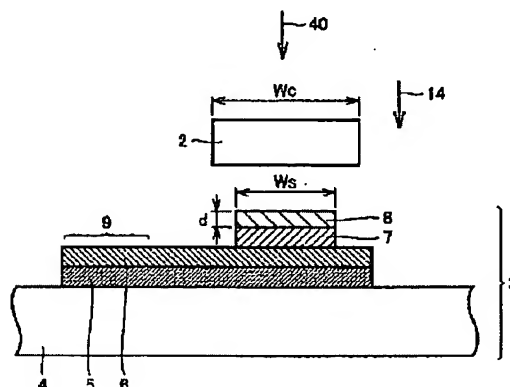
H01S 5/022
H01L 21/52
(21) Application number: **2002040643**(22) Date of filing: **18.02.02**(71) Applicant: **SUMITOMO ELECTRIC IND LTD**
(72) Inventor:
IMAMURA MAKOTO
ISHII TAKASHI
AMO AKIO
HIGAKI KENJIRO
SASAME AKIRA
CHIKUGI YASUSHI
(54) **SUBMOUNT AND SEMICONDUCTOR DEVICE**

COPYRIGHT: (C)2003,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a submount and a semiconductor device, capable of preventing solder from creeping up on the edge face of a semiconductor laser element.

SOLUTION: This submount, on which a semiconductor element 2 is mounted, is provided with a submount substrate 4 and a solder-film 8 formed on the submount substrate. When the width of the solder film is W_S (μm) and the width of the semiconductor element to be mounted on the solder film is W_C (μm), the width W_S and thickness d (μm) of the solder film are decided with an evaluation value W (μm) specified by the formula $2W=(W_C-W_S)$ and a thickness d (μm) of the solder film so as to satisfy the relations $0.32d \geq 21$ when $W \leq 30 \mu\text{m}$, $0.32d \geq 2(7 \times W/110 + 32/11)$ when $30 \mu\text{m} < W \leq 230 \mu\text{m}$, $(37 \times W/600 - 1.55)2d \geq 2(7 \times W/110 + 32/11)$ when $230 \mu\text{m} < W \leq 280 \mu\text{m}$, and $(37 \times W/600 - 1.55)2d \geq 28$ when $280 \mu\text{m} < W \leq 290 \mu\text{m}$.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-359427

(P 2 0 0 2 - 3 5 9 4 2 7 A)

(43) 公開日 平成14年12月13日 (2002.12.13)

(51) Int. Cl. ⁷

識別記号

F I

テ-マコード (参考)

H01S 5/022

H01S 5/022

5F047

H01L 21/52

H01L 21/52

E 5F073

審査請求 有 請求項の数 9 O L 公開請求 (全16頁)

(21) 出願番号 特願2002-40643 (P 2002-40643)

(22) 出願日 平成14年2月18日 (2002.2.18)

(71) 出願人 000002130

住友電気工業株式会社

大阪府大阪市中央区北浜四丁目5番33号

(72) 発明者 今村 誠

兵庫県伊丹市昆陽北一丁目1番1号 住友

電気工業株式会社伊丹製作所内

(72) 発明者 石井 隆

兵庫県伊丹市昆陽北一丁目1番1号 住友

電気工業株式会社伊丹製作所内

(74) 代理人 100064746

弁理士 深見 久郎 (外4名)

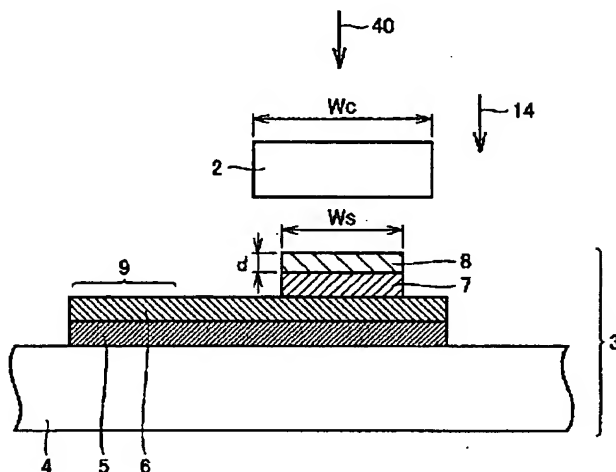
最終頁に続く

(54) 【発明の名称】 サブマウントおよび半導体装置

(57) 【要約】

【課題】 半導体レーザ素子の端面上へのはんだのはい上がりを防止することが可能なサブマウントおよび半導体装置を提供する。

【解決手段】 半導体素子2を搭載するサブマウントであって、サブマウント基板4と、サブマウント基板上に形成されたはんだ膜8とを備え、はんだ膜の幅を W_s (μm)、はんだ膜上に搭載されるべき半導体素子の幅を W_c (μm)とした場合、 $2W = (W_c - W_s)$ という式で規定される評価値 W (μm)と、はんだ膜の厚さ d (μm)とが、 $W = -30\mu\text{m}$ の場合、 $0.3 \leq d \leq 1$ 、 $-30\mu\text{m} < W \leq 30\mu\text{m}$ の場合、 $0.3 \leq d \leq (7 \times W / 110 + 32 / 11)$ 、 $30\mu\text{m} < W \leq 80\mu\text{m}$ の場合、 $(37 \times W / 600 - 1.55) \leq d \leq (7 \times W / 110 + 32 / 11)$ 、 $80\mu\text{m} < W \leq 90\mu\text{m}$ の場合、 $(37 \times W / 600 - 1.55) \leq d \leq 8$ 、という関係を満たすように、はんだ膜の幅 W_s および厚さ d が決定されている。



【特許請求の範囲】

【請求項1】 半導体素子を搭載するサブマウントであって、

サブマウント基板と、

前記サブマウント基板上に形成されたはんだ膜とを備え、

前記はんだ膜の幅を W_s (μm)、はんだ膜上に搭載されるべき半導体素子の幅を W_c (μm)とした場合、 $2W = (W_c - W_s)$ という式で規定される評価値 W (μm)と、はんだ膜の厚さ d (μm)とが、

$W = -30\mu\text{m}$ の場合、 $0.3 \leq d \leq 1$ 、

$-30\mu\text{m} < W \leq 30\mu\text{m}$ の場合、 $0.3 \leq d \leq (7 \times W / 110 + 32 / 11)$ 、

$30\mu\text{m} < W \leq 80\mu\text{m}$ の場合、 $(37 \times W / 600 - 1.55) \leq d \leq (7 \times W / 110 + 32 / 11)$ 、

$80\mu\text{m} < W \leq 90\mu\text{m}$ の場合、 $(37 \times W / 600 - 1.55) \leq d \leq 8$ 、という関係を満たすように、前記はんだ膜の幅 W_s および厚さ d が決定されている、サブマウント。

【請求項2】 前記評価値 W と前記はんだ膜の厚さ d とが、

$W = -10\mu\text{m}$ の場合、 $0.3 \leq d \leq 1$ 、

$-10\mu\text{m} < W \leq 20\mu\text{m}$ の場合、 $0.3 \leq d \leq (W / 14 + 12 / 7)$ 、

$20\mu\text{m} < W \leq 60\mu\text{m}$ の場合、 $(37 \times W / 600 - 14 / 15) \leq d \leq (W / 14 + 12 / 7)$ 、

$60\mu\text{m} < W \leq 80\mu\text{m}$ の場合、 $(37 \times W / 600 - 14 / 15) \leq d \leq 6$ 、という関係を満たすように、前記はんだ膜の幅 W_s および厚さ d が決定されている、請求項1に記載のサブマウント。

【請求項3】 前記サブマウント基板と前記はんだ膜との間に形成されたはんだバリア膜をさらに備える、請求項1または2に記載のサブマウント。

【請求項4】 前記サブマウント基板と前記はんだバリア膜との間において、前記サブマウント基板の表面に接触するように形成された密着膜と、

前記密着層上に形成された拡散防止膜と、

前記拡散防止膜上に形成された電極膜とを備え、

前記はんだバリア膜は前記電極膜上に配置されている、請求項3に記載のサブマウント。

【請求項5】 前記密着膜はチタンを含み、前記拡散防止膜は白金を含み、前記電極膜は金を含み、前記はんだバリア膜は白金を含み、前記はんだ膜は金錫系はんだを含む、請求項4に記載のサブマウント。

【請求項6】 前記サブマウント基板は窒化アルミニウムを含む、請求項1～5のいずれか1項に記載のサブマウント。

【請求項7】 前記はんだ膜の幅 W_s とほぼ垂直方向における前記はんだ膜の長さを L_s 、前記半導体素子の幅 W_c とほぼ垂直方向における前記半導体素子の長さを L_c

とした場合、 $L = (L_c - L_s)$ という式で規定される評価値 L (μm)と、前記はんだ膜の厚さ d とが、

$L = -30\mu\text{m}$ の場合、 $0.3 \leq d \leq 1$ 、

$-30\mu\text{m} < L \leq 30\mu\text{m}$ の場合、 $0.3 \leq d \leq (7 \times L / 110 + 32 / 11)$ 、

$30\mu\text{m} < L \leq 80\mu\text{m}$ の場合、 $(37 \times L / 600 - 1.55) \leq d \leq (7 \times L / 110 + 32 / 11)$ 、

$80\mu\text{m} < L \leq 90\mu\text{m}$ の場合、 $(37 \times L / 600 - 1.55) \leq d \leq 8$ 、という関係を満たすように、前記

はんだ膜の長さ L_s および厚さ d が決定されている、請求項1～6のいずれか1項に記載のサブマウント。

【請求項8】 前記評価値 L と前記はんだ膜の厚さ d とが、

$L = -10\mu\text{m}$ の場合、 $0.3 \leq d \leq 1$ 、

$-10\mu\text{m} < L \leq 20\mu\text{m}$ の場合、 $0.3 \leq d \leq (L / 14 + 12 / 7)$ 、

$20\mu\text{m} < L \leq 60\mu\text{m}$ の場合、 $(37 \times L / 600 - 14 / 15) \leq d \leq (L / 14 + 12 / 7)$ 、

$60\mu\text{m} < L \leq 80\mu\text{m}$ の場合、 $(37 \times L / 600 - 14 / 15) \leq d \leq 6$ 、という関係を満たすように、前記

はんだ膜の長さ L_s および厚さ d が決定されている、請求項7に記載のサブマウント。

【請求項9】 請求項1～8のいずれか1項に記載のサブマウントと、

前記サブマウントの前記はんだ膜上に搭載された半導体素子とを備え、

前記半導体素子は半導体レーザ素子である、半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、サブマウントおよび半導体装置に関し、より特定的には、半導体レーザ素子を搭載するサブマウントおよびこのサブマウントを用いた半導体装置に関する。

【0002】

【従来の技術】従来、半導体レーザ素子を備える半導体装置が知られている。このような半導体装置の一種は、図12に示すようにサブマウント103に半導体レーザ素子102を搭載することにより製造される。図12

は、従来の半導体装置の製造方法を説明するための断面模式図である。図12を参照して、従来の半導体装置の製造方法を説明する。

【0003】図12に示すように、従来の半導体装置の製造方法では、まず半導体レーザ素子102を搭載するためのサブマウント103を準備する。サブマウント103は、窒化アルミニウム (AlN) を含む基板104と、基板104上に形成されたチタン (Ti) を含む膜および白金 (Pt) を含む膜の積層膜105 (Ti/Pt 積層膜105) と、このTi/Pt 積層膜105上に形成された電極層としての金 (Au) 膜106と、この

Au膜106上に形成された白金(Pt)を含むはんだバリア膜107と、はんだバリア膜107上に形成された金(Au)錫(Sn)系はんだを含むはんだ108とからなる。サブマウント103において、Ti/Pt積層膜105、Au膜106、はんだバリア膜107およびはんだ108を形成する方法は、従来の蒸着法、スパッタリング法あるいはめっき法などの成膜方法およびフォトリソグラフィ法あるいはメタルマスク法などのパターンニング方法を用いることができる。

【0004】図12に示したようなサブマウント103を準備した後、サブマウント103のはんだ108を加熱・溶融した状態で半導体レーザ素子102を矢印114に示すようにはんだ108上の所定の位置に搭載する(ダイボンド工程を実施する)。この後、はんだ108を冷却して凝固させる。この結果、はんだ108によってレーザ素子102がサブマウント103上に接着固定される。この後、図示しないヒートシンクにサブマウント103の裏面側をはんだなどで接続・固定することにより、半導体レーザ素子を備える半導体装置を得ることができる。

【0005】

【発明が解決しようとする課題】図12に示したような工程により製造される従来の半導体装置では、以下のような問題があった。すなわち、半導体レーザ素子102(図12参照)をサブマウント103(図12参照)に搭載する際、図13に示すように半導体レーザ素子102の端面112上にはんだ108が部分的にはい上がった(はんだ108の一部が半導体レーザ素子102の端面112を部分的に覆った状態となっている)はい上がり部130が形成される場合があった。図13は従来の半導体装置の問題点を説明するための断面模式図である。

【0006】一方で、近年の半導体レーザ素子の高出力化に伴い、放熱性に優れた下面発光型の半導体レーザ素子102(図13参照)が用いられるようになってきている。下面発光型の半導体レーザ素子102では、レーザ光の発振部(発光部)が半導体レーザ素子102の下面側(はんだ108(図13参照)との接合部側)に形成されている。このように、熱を発生する発光部をサブマウント103により近い位置に配置することにより、放熱特性の優れた半導体装置を得ることができる。

【0007】このような下面発光型の半導体レーザ素子102において、図13に示すように、その端面112上にはんだ108がはい上がると、発光部においてはんだ108による短絡などの不良が発生する。このため、半導体レーザ素子102においてレーザ光の発振ができなくなるといった不良が発生する場合があった。この結果、半導体装置の歩留りが低下することになっていた。

【0008】この発明は、上記のような課題を解決するために成されたものであり、この発明の目的は、半導体

レーザ素子の端面上へのはんだのはい上がりを防止することが可能なサブマウントおよびそのサブマウントを用いた半導体装置を提供することである。

【0009】

【課題を解決するための手段】この発明に従ったサブマウントは、半導体素子を搭載するサブマウントであって、サブマウント基板と、サブマウント基板上に形成されたはんだ膜とを備え、はんだ膜の幅を $W_s(\mu m)$ 、はんだ膜上に搭載されるべき半導体素子の幅を $W_c(\mu m)$ とした場合、 $2W=(W_c-W_s)$ という式で規定される評価値 $W(\mu m)$ と、はんだ膜の厚さ $d(\mu m)$ とが、 $W=-30\mu m$ の場合、 $0.3 \leq d \leq 1$ 、 $-30\mu m < W \leq 30\mu m$ の場合、 $0.3 \leq d \leq (7 \times W / 110 + 32 / 11)$ 、 $30\mu m < W \leq 80\mu m$ の場合、 $(37 \times W / 600 - 1.55) \leq d \leq (7 \times W / 110 + 32 / 11)$ 、 $80\mu m < W \leq 90\mu m$ の場合、 $(37 \times W / 600 - 1.55) \leq d \leq 8$ 、という関係を満たすように、はんだ膜の幅 W_s および厚さ d が決定されている。

20 【0010】このようにすれば、サブマウントのはんだ膜を溶融した状態で、はんだ膜上に半導体素子を搭載する際、溶融したはんだ膜の一部がサブマウントと半導体素子との間の領域から半導体素子の外周より外側へ流動することを抑制できる。したがって、半導体素子の端面近傍に溶融したはんだ膜(溶融はんだ)が過剰に存在することを抑制できる。この結果、半導体素子の端面上に溶融はんだがはい上がる不良の発生確率を低減できる。また、半導体素子とサブマウントとの接合強度不足や、半導体素子とサブマウント間の熱抵抗の増加に起因する不良の発生確率を低減できる。

30 【0011】上記サブマウントにおいて、評価値 W とはんだ膜の厚さ d とが、 $W=-10\mu m$ の場合、 $0.3 \leq d \leq 1$ 、 $-10\mu m < W \leq 20\mu m$ の場合、 $0.3 \leq d \leq (W / 14 + 12 / 7)$ 、 $20\mu m < W \leq 60\mu m$ の場合、 $(37 \times W / 600 - 14 / 15) \leq d \leq (W / 14 + 12 / 7)$ 、 $60\mu m < W \leq 80\mu m$ の場合、 $(37 \times W / 600 - 14 / 15) \leq d \leq 6$ 、という関係を満たすように、はんだ膜の幅 W_s および厚さ d が決定されていてもよい。

40 【0012】この場合、半導体素子とサブマウントとのはんだ膜による接合をより確実に行なうと同時に、半導体素子の端面上に溶融はんだがはい上がる不良の発生確率を低減できる。

【0013】上記サブマウントは、サブマウント基板とはんだ膜との間に形成されたはんだバリア膜をさらに備えていてもよい。

【0014】この場合、はんだ膜が溶融した際、はんだバリア膜下に位置する電極膜などの材料の一部がはんだ膜へ溶け込むといった問題の発生を抑制できる。このため、はんだ膜の組成が変化して、半導体素子とサブマウ

ントとをはんだ膜により接合できなくなるというような問題の発生を抑制できる。

【0015】上記サブマウントは、サブマウント基板とはんだバリア膜との間において、サブマウント基板の表面に接触するように形成された密着膜と、密着層上に形成された拡散防止膜と、拡散防止膜上に形成された電極膜とを備えていてもよく、はんだバリア膜は電極膜上に配置されていてもよい。

【0016】この場合、はんだ膜上に搭載される半導体素子と、サブマウント基板とを確実に接続できるので、サブマウントを用いた半導体装置の信頼性を向上させることができる。

【0017】上記サブマウントにおいて、密着膜はチタンを含んでいてもよく、拡散防止膜は白金を含んでいてもよく、電極膜は金を含んでいてもよく、はんだバリア膜は白金を含んでいてもよく、はんだ膜は金錫系はんだを含んでいてもよい。

【0018】この場合、上述のような材料は、それぞれの膜の材料として用いる場合に特に適しているため、サブマウントの信頼性を効果的に向上させることができる。

【0019】上記サブマウントにおいて、サブマウント基板は窒化アルミニウムを含んでいてもよい。

【0020】この場合、窒化アルミニウムは熱伝導率が高いため、放熱特性の優れたサブマウントを得ることができる。

【0021】上記サブマウントにおいて、はんだ膜の幅 W_s とほぼ垂直方向におけるはんだ膜の長さ L_s 、半導体素子の幅 W_c とほぼ垂直方向における半導体素子の長さ L_c とした場合、 $L = (L_c - L_s)$ という式で規定される評価値 L (μm) と、はんだ膜の厚さ d とが、 $L = -30\mu\text{m}$ の場合 $0.3 \leq d \leq 1$ 、 $-30\mu\text{m} < L \leq 30\mu\text{m}$ の場合 $0.3 \leq d \leq (7 \times L / 110 + 32 / 11)$ 、 $30\mu\text{m} < L \leq 80\mu\text{m}$ の場合 $(37 \times L / 600 - 1.55) \leq d \leq (7 \times L / 110 + 32 / 11)$ 、 $80\mu\text{m} < L \leq 90\mu\text{m}$ の場合 $(37 \times L / 600 - 1.55) \leq d \leq 8$ 、という関係を満たすように、はんだ膜の長さ L_s および厚さ d が決定されていてもよい。

【0022】この場合、半導体素子をサブマウントに接合する際、はんだ膜の長さ方向における半導体素子の端部に、溶融したはんだ膜が必要以上に流入することを抑制できる。したがって、はんだ膜の長さ方向における半導体素子の端面上に溶融したはんだ膜の一部がはい上るといった不良の発生確率を効果的に低減できる。また、半導体素子とサブマウントの接合強度不足や、半導体素子とサブマウント間の熱抵抗の増加に起因する不良の発生確率を低減できる。

【0023】上記サブマウントにおいて、評価値 L とはんだ膜の厚さ d とが、 $L = -10\mu\text{m}$ の場合 $0.3 \leq d$

≤ 1 、 $-10\mu\text{m} < L \leq 20\mu\text{m}$ の場合 $0.3 \leq d \leq (L / 14 + 12 / 7)$ 、 $20\mu\text{m} < L \leq 60\mu\text{m}$ の場合 $(37 \times L / 600 - 14 / 15) \leq d \leq (L / 14 + 12 / 7)$ 、 $60\mu\text{m} < L \leq 80\mu\text{m}$ の場合 $(37 \times L / 600 - 14 / 15) \leq d \leq 6$ 、という関係を満たすように、はんだ膜の長さ L_s および厚さ d が決定されていてもよい。

【0024】この場合、半導体素子とサブマウントとのはんだ膜による接合をより確実に行うことができる。また、はんだ膜の長さ方向における半導体素子の端面上に、溶融したはんだ膜の一部がはい上るといった不良の発生確率をより効果的に低減できる。

【0025】本発明に従った上記サブマウントと、サブマウントのはんだ膜上に搭載された半導体素子とを備え、その半導体素子は半導体レーザ素子である。

【0026】このようにすれば、半導体レーザ素子の端面上にサブマウントのはんだ膜の一部がはい上るといった不良の発生を抑制できる。このため、レーザの発振を確実にこなうことが可能な半導体装置を得ることができる。

【0027】

【発明の実施の形態】以下、図面に基づいて本発明の実施の形態を説明する。なお、以下の図面において同一または相当する部分には同一の参照番号を付しその説明は繰返さない。

【0028】（実施の形態1）図1は、本発明による半導体装置の実施の形態1を示す断面模式図である。図1を参照して、本発明による半導体装置の実施の形態1を説明する。

【0029】図1に示すように、半導体装置1は、サブマウント3にガリウム砒素 (GaAs) 半導体などを用いたレーザ素子2が搭載された構造を有している。また、本発明による半導体装置1においては、サブマウント3においてレーザ素子2が搭載された面とは反対側にヒートシンクが接続されていてもよい。

【0030】サブマウント3は、基板4と、この基板4の上部表面上に形成されたチタン (Ti) 膜と白金 (Pt) とからなる Ti/Pt 積層膜5と、この Ti/Pt 積層膜5上に形成された金 (Au) 膜6と、この Au 膜6上に形成されたはんだバリア膜7と、はんだバリア膜7とレーザ素子2との間を接合するはんだ8とからなる。 Au 膜6の上部表面においては、はんだバリア膜7と隣接する領域にボンディングパッド部9が形成されている。

【0031】はんだバリア膜7の幅は、レーザ素子2の幅よりも小さくなっている。そして、はんだ8の外周部10は、はんだバリア膜7の上部表面および端面を覆うとともに、 Au 膜6の上部表面と接触している。はんだ8の外周部10における端面11は、 Au 膜6の表面に対して傾斜している。はんだバリア膜7を形成すること

により、はんだ8が溶融した際、はんだバリア膜7下に位置するAu膜6の材料の一部がはんだ8へ溶け込むといった問題の発生を抑制できる。なお、本発明においてははんだバリア膜7は形成しても、形成しなくてもよい。

【0032】図1に示した半導体装置では、後述する製造方法からもわかるように、レーザ素子2をサブマウント3に接続する際、レーザ素子2の幅よりはんだバリア膜7およびはんだ8の幅が狭くなっているため、レーザ素子2の端面上にはんだ8の一部がはい上がりといった現象の発生を抑制できる。このため、はんだ8のはい上がりに起因して、レーザ素子2においてレーザ光を発振できないといった不良の発生を抑制できる。

【0033】なお、図1に示した半導体装置1においては、サブマウント3を構成する基板4の材料として、セラミック、半導体、あるいは金属を用いてもよい。基板4を構成する材料としてのセラミックとしては、たとえば窒化アルミニウム(AlN)、酸化アルミニウム(Al₂O₃)、炭化ケイ素(SiC)、窒化ケイ素(Si₃N₄)などを主成分としたものを挙げることができる。

また基板4を構成する材料としての半導体としては、たとえばシリコン(Si)を挙げることができる。また基板4を構成する材料としての金属としては、たとえば銅(Cu)、タングステン(W)、モリブデン(Mo)、鉄(Fe)およびこれらを含む合金ならびに複合材料を用いることができる。

【0034】基板4としては、熱伝導率の高い材料を用いることが好ましい。基板4の熱伝導率としては、好ましくは100W/mK以上であり、より好ましくは170W/mK以上である。また、基板4の熱膨張係数は、レーザ素子2を構成する材料の熱膨張係数に近似していることが好ましい。たとえば、レーザ素子2を構成する材料としてガリウム砒素(GaAs)あるいはインジウムリン(InP)などを用いる場合、基板4の熱膨張係数として好ましくは $1 \times 10^{-6}/K$ 以下であり、より好ましくは $5 \times 10^{-6}/K$ 以下である。特に、基板4を構成する材料として窒化アルミニウムを用いれば、放熱性に優れたサブマウント3を実現できる。

【0035】基板4としてセラミックを用いた場合、基板4の上面とその上面に対向する下面との間を接続するようなスルーホールあるいはその内部に導体(ビアフィ)が充填されたビアホールが形成されていてもよい。ビアホールに充填される導体(ビアフィ)の主成分としては、望ましくは高融点金属、特にタングステン

(W)やモリブデン(Mo)を用いることができる。なお、上述の導体としては、タングステンやモリブデンなどの金属導体にさらにチタン(Ti)などの遷移金属、あるいはガラス成分や基板4を形成する基材の材料(たとえば窒化アルミニウム(AlN))が含まれていてもよい。

【0036】基板4の表面粗さはRaで1μm以下であ

ることが好ましく、より好ましくはRaで0.1μm以下である。また、基板4の平面度は5μm以下であることが好ましく、より好ましくは1μm以下である。Raが1μmを超えるか、平面度が5μmを超える場合、レーザ素子2の接合時にサブマウント3とレーザ素子2との間に隙間が発生し、レーザ素子2を冷却する効果が低下することがある。なお、平面度とは平面形体の幾何学的に正しい平面からの狂いの大きさをいい、JIS規格(JISB0621)に規定されている。

【0037】また、Ti/Pt積層膜5を構成するTi膜(チタン(Ti)を含む膜)は、基板4の上部表面に接触するように形成された、基板4との密着性が良好な材料からなるいわゆる密着層である。この密着層を構成する材料としては、例えば上述したチタン(Ti)、さらにクロム(Cr)、ニッケルクロム合金(NiCr)、タンタル(Ta)、およびこれらの化合物を用いることができる。

【0038】また、Ti/Pt積層膜5を構成する白金(Pt)膜は、Ti膜の上部表面上に形成されたいわゆる拡散防止層(拡散防止膜)である。拡散防止層の材料としては、例えば上述した白金(Pt)、さらにパラジウム(Pd)、ニッケルクロム合金(NiCr)、タングステンチタニウム(TiW)、ニッケル(Ni)、モリブデン(Mo)などを用いることができる。また、Au膜6はいわゆる電極層であって、通常はAuを主成分とした膜が用いられる。

【0039】このように、基板4上に密着層(密着膜)や拡散防止層(拡散防止膜)を形成することにより、サブマウント3を用いた半導体装置1(図1参照)の信頼性を向上させることができる。また、上述したように密着層の材料としてチタンを用い、拡散防止層の材料として白金を用い、電極層(電極膜)の材料として金を用いれば、これらの材料は特に密着層、拡散防止層および電極層として優れた特性を発揮するので、信頼性の高い半導体装置1(図1参照)を得ることができる。

【0040】はんだバリア膜7の材料としては、白金(Pt)、ニッケルクロム合金(NiCr)、ニッケル(Ni)などを用いることができる。また、はんだ8の材料としては、金錫(AuSn)系はんだ、金ゲルマニウム(AuGe)系はんだ、鉛錫(PbSn)系はんだ、インジウム錫(InSn)系はんだ、銀錫(AgSn)系はんだなどの合金はんだ、あるいはこれらの合金はんだもしくは上述の合金はんだを構成する金属の積層体を用いることができる。なお、はんだ8として金錫(AuSn)系はんだを用いる場合、その組成比としては金(Au)が65質量%以上85質量%以下あるいは金(Au)が5質量%以上20質量%以下であることが好ましい。

【0041】なお、上述のTi/Pt積層膜5、Au膜6、はんだバリア膜7およびはんだ8を、以下メタライ

ズ層ともいう。そして、これらのメタライズ層の形成方法としては、従来用いられる成膜方法を適宜用いることができる。具体的には、上述のメタライズ層の形成方法としては、蒸着法、スパッタリング法などの薄膜形成方法、あるいはめっき法などを用いることができる。また、上述のTi/Pt積層膜5、Au膜6、はんだバリア膜7およびはんだ8を、所定のパターンを有するように形成するパターンニング方法としては、フォトリソグラフィ法、メタルマスク法などを用いることができる。

【0042】上述のTi/Pt積層膜5を構成する密着層としてのチタン(Ti)膜の厚さは、好ましくは0.01 μ m以上1.0 μ m以下である。Ti/Pt積層膜5を構成する拡散防止層としての白金(Pt)膜の厚さは、好ましくは0.01 μ m以上1.5 μ m以下である。電極層としてのAu膜6の厚さは、好ましくは0.1 μ m以上10 μ m以下である。はんだバリア膜7の厚さは、好ましくは0.01 μ m以上1.5 μ m以下である。はんだ8の厚さは、好ましくは0.1 μ m以上10 μ m以下である。

【0043】レーザ素子2は、例えばGaAs半導体あるいはInP半導体すなわちIII-V族化合物半導体を用いたレーザ発光素子であってもよい。また、レーザ素子2は、上面発光型もしくは下面発光型のいずれでもよい。なお、下面発光型(レーザ素子2とはんだ8との接合部に対向する側面側においてレーザ素子2の発光部が形成されている方式)のレーザ素子2を用いた場合、発熱部である発光部が基板4により近い位置に配置されることから、半導体装置1の放熱性を向上させることができる。そして、このような下面発光型のレーザ素子2を用いた場合、従来の問題点として挙げたはんだ8のレーザ素子2側面へのはい上がりによる不良の発生確率が大きくなることから、本発明による効果が特に顕著である。

【0044】レーザ素子2の表面にはシリコン酸化膜(SiO₂)などの絶縁層および金(Au)などの電極層といったメタライズ層が形成される。電極層としての金(Au)層の厚さは、はんだ8との良好な濡れ性を確保するために0.1 μ m以上10 μ m以下であることが好ましい。

【0045】なお、図1に示した半導体装置は、ヒートシンクにはんだなどを用いて接続されていてもよい。具体的には、基板4においてTi/Pt積層膜5が形成された表面とは反対側に位置する裏面上に密着層や拡散防止層などを形成した後、基板4の裏面側にシート状のはんだを介してヒートシンクを配置する。ヒートシンクと基板4とは、基板4の裏面側に配置された上記はんだにより接続・固定される。なお、ヒートシンクと基板4とを接合するためのはんだについては、上記のようなシート状のはんだ(はんだ箔)を用いてもよいし、あらかじめヒートシンクの表面上にはんだを配置しておいてもよ

い。また、あらかじめ基板4の裏面の拡散防止層などのメタライズ層上にはんだ層を形成しておいてもよい。その場合は、レーザ素子2とヒートシンクとを同時に基板4に接合することが好ましい。

【0046】ヒートシンクの材料としては、たとえば金属あるいはセラミックなどを用いることができる。ヒートシンクを構成する金属としては、たとえば銅(Cu)、タングステン(W)、モリブデン(Mo)、鉄(Fe)およびこれらの金属を含む合金および複合材料を用いることができる。なお、ヒートシンクの表面にはニッケル(Ni)、金(Au)およびこれらの金属を含む膜を形成する表面処理を施すことが好ましい。表面処理の方法としては、蒸着法あるいはめっき法などを用いることができる。ヒートシンクの熱伝導率は高いことが好ましい。ヒートシンクの熱伝導率としては、好ましくは100W/mK以上である。

【0047】図2は、図1に示した半導体装置の製造方法を説明するための断面模式図である。図2を参照して、図1に示した半導体装置の製造方法を説明する。

【0048】図2に示すように、レーザ素子2を搭載するためのサブマウント3を準備する。サブマウント3において、Ti/Pt積層膜5、Au膜6、はんだバリア膜7およびはんだ8を形成する方法は、従来の蒸着法、スパッタリング法あるいはめっき法などの成膜方法およびフォトリソグラフィ法あるいはメタルマスク法などのパターンニング方法を用いることができる。

【0049】ただし、図2に示したサブマウント3では、はんだ8の幅W₈が、レーザ素子2の幅W_cよりも小さくなっている。はんだ8の厚さdは、後述する所定の条件を満たすように決定されている。なお、図2に示したサブマウントにおいて、はんだ8の幅W₈がレーザ素子2の幅W_cより小さくなっていれば、はんだバリア膜7の幅がはんだ8の幅W₈、あるいはレーザ素子2の幅W_cより大きくなっていても小さくなっていてもよい。

【0050】このようなサブマウント3において、はんだ8を溶融した状態で、矢印14に示すようにレーザ素子2をはんだ8上に搭載する。そして、はんだ8を冷却する。このようにして、図1に示すような半導体装置1を得ることができる。

【0051】ここで、本発明による半導体装置においては、サブマウント3に搭載されるレーザ素子2の平面形状とはんだ8の厚さd(図2参照)および平面形状とは以下に述べる条件を満足するように決定されている。図3は、図2の矢印40側から見たレーザ素子2とはんだ8との平面形状を示す模式図である。図3に示すように、はんだ8の幅W₈とレーザ素子2の幅W_cとについて、W_c-W₈=2Wという関係を満足する評価値Wを規定する。

【0052】上記評価値Wおよびはんだ8の厚さd(図2参照)は、図4に示すような関係を満足する。図4

は、評価値 W または評価値 L とはんだ厚さ d とが満足すべき関係を表すグラフを示す図である。

【0053】図4を参照して、本発明による半導体装置1では、図4において、上記評価値 W とはんだ厚さ d とに基づいて点をプロットした場合、図4の領域Aに示した領域内に当該点が位置することが好ましい。具体的には、評価値 W (μm) とはんだ8の厚さ d (μm) とが、 $W = -30\mu\text{m}$ の場合 $0.3 \leq d \leq 1$ 、 $-30\mu\text{m} < W \leq 30\mu\text{m}$ の場合 $0.3 \leq d \leq (7 \times W / 110 + 32 / 11)$ 、 $30\mu\text{m} < W \leq 80\mu\text{m}$ の場合 $(37 \times W / 600 - 1.55) \leq d \leq (7 \times W / 110 + 32 / 11)$ 、 $80\mu\text{m} < W \leq 90\mu\text{m}$ の場合 $(37 \times W / 600 - 1.55) \leq d \leq 8$ 、という関係 (図4の領域Aとして示した領域内に上記点がプロットされるような関係) を満足するように、はんだ8の幅 W_s と厚さ d とが決定されていることが好ましい。

【0054】このようにすれば、図2に示したようにレーザー素子2をサブマウント3へとボンディングする際に、レーザー素子2とサブマウント3のはんだバリア膜7との間から余分なはんだ8がレーザー素子2の外側へはみ出すことを抑制できる。この結果、はんだ8の一部がレーザー素子2の端面上にはい上がるといった不良の発生確率を低減することができる。また、レーザー素子2とサブマウント3との接合強度不足やレーザー素子2とサブマウント3間の熱抵抗の増加に起因する不良の発生確率を低減できる。

【0055】また、より好ましくは、図4の領域Bに示した領域内に、上記点が位置するように、評価値 W (すなわちはんだ8の幅 W_s とレーザー素子2の幅 W_c) とはんだ8の厚さ d とが決定される。具体的には、評価値 W とはんだ8の厚さ d とが、 $W = -10\mu\text{m}$ の場合 $0.3 \leq d \leq 1$ 、 $-10\mu\text{m} < W \leq 20\mu\text{m}$ の場合 $0.3 \leq d \leq (W / 14 + 12 / 7)$ 、 $20\mu\text{m} < W \leq 60\mu\text{m}$ の場合 $(37 \times W / 600 - 14 / 15) \leq d \leq (W / 14 + 12 / 7)$ 、 $60\mu\text{m} < W \leq 80\mu\text{m}$ の場合 $(37 \times W / 600 - 14 / 15) \leq d \leq 6$ 、という関係を満たすように、はんだ8の幅 W_s および厚さ d が決定されていてもよい。

【0056】この場合、レーザー素子2とサブマウント3とのはんだ8による接合をより確実に行なうと同時に、レーザー素子2の端面上に溶融したはんだ8がはい上がるといった不良の発生確率をさらに低減できる。また、レーザー素子2とサブマウント3との接合強度不足やレーザー素子2とサブマウント3間の熱抵抗の増加に起因する不良の発生確率をさらに低減できる。したがって、レーザー発振を確実に行うことが可能な半導体装置1 (図1参照) を得ることができる。

【0057】また、本発明による半導体装置では、図3に示すように、はんだ8の幅 W_s とほぼ垂直方向におけるはんだ8の長さ L_s 、レーザー素子2の幅 W_c とほぼ垂

直方向におけるレーザー素子2の長さ L_c とした場合、 $L = (L_c - L_s)$ という関係を満足する評価値 L (μm) を規定する。そして、本発明による半導体装置では、評価値 L とはんだ8の厚さ d とが、 $L = -30\mu\text{m}$ の場合 $0.3 \leq d \leq 1$ 、 $-30\mu\text{m} < L \leq 30\mu\text{m}$ の場合 $0.3 \leq d \leq (7 \times L / 110 + 32 / 11)$ 、 $30\mu\text{m} < L \leq 80\mu\text{m}$ の場合 $(37 \times L / 600 - 1.55) \leq d \leq (7 \times L / 110 + 32 / 11)$ 、 $80\mu\text{m} < L \leq 90\mu\text{m}$ の場合 $(37 \times L / 600 - 1.55) \leq d \leq 8$ 、という関係 (評価値 L とはんだ8の厚さ d とに基づいて点をプロットした場合、図4の領域Aとして示した領域内にこの点がプロットされるような関係) を満たすように、はんだ8の長さ L_s および厚さ d が決定されていることが好ましい。

【0058】この場合、半導体素子としてのレーザー素子2をサブマウント3に接合する際、はんだ8の長さ L_s 方向におけるレーザー素子2の端部に、溶融したはんだ8が必要以上に流入することを抑制できる。したがって、はんだ8の長さ方向におけるレーザー素子2の端面上に溶融したはんだ8の一部がはい上がるといった不良の発生確率を低減できる。また、レーザー素子2とサブマウント3との接合強度不足やレーザー素子2とサブマウント3間の熱抵抗の増加に起因する不良の発生確率を低減できる。

【0059】また、より好ましくは、上記評価値 L とはんだ厚さ d とにより決定される点が図4の領域Bに示した領域内に位置するように、評価値 L とはんだ厚さ d とが決定される。具体的には、評価値 L とはんだ8の厚さ d とが、 $L = -10\mu\text{m}$ の場合 $0.3 \leq d \leq 1$ 、 $-10\mu\text{m} < L \leq 20\mu\text{m}$ の場合 $0.3 \leq d \leq (L / 14 + 12 / 7)$ 、 $20\mu\text{m} < L \leq 60\mu\text{m}$ の場合 $(37 \times L / 600 - 14 / 15) \leq d \leq (L / 14 + 12 / 7)$ 、 $60\mu\text{m} < L \leq 80\mu\text{m}$ の場合 $(37 \times L / 600 - 14 / 15) \leq d \leq 6$ 、という関係を満たすように、はんだ8の長さ L_s および厚さ d が決定されていてもよい。

【0060】この場合、レーザー素子2とサブマウント3とのはんだ8による接合をより確実に行うことができる。また、はんだ8の長さ方向におけるレーザー素子2の端面上に、溶融したはんだ8の一部がはい上がるといった不良の発生確率をより効果的に低減できる。また、レーザー素子2とサブマウント3との接合強度不足やレーザー素子2とサブマウント3間の熱抵抗の増加に起因する不良の発生確率をさらに低減できる。

【0061】(実施の形態2) 図5は、本発明による半導体装置の実施の形態2を示す断面模式図である。図5の符号は図1のそれに対応する。図5を参照して、本発明による半導体装置の実施の形態2を説明する。

【0062】図5に示すように、半導体装置1は基本的には図1に示した半導体装置と同様の構造を備えるが、レーザー素子2とはんだバリア膜7およびはんだ8とのサ

イズ（幅）の比率が図 1 に示した半導体装置とは異なる。すなわち、レーザ素子 2、はんだバリア膜 7 およびはんだ 8 は、それぞれ互いにほぼ等しい幅を有するように構成されている。この場合、後述するように評価値 W はゼロになるので、レーザ素子 2 を接合する前のはんだ 8 の厚さは、図 4 における $W=0$ の直線と領域 A との重なる数値範囲、より好ましくは $W=0$ の直線と領域 B との重なる数値範囲内となるように決定される。

【0063】図 6 は、図 5 に示した半導体装置の製造方法を説明するための断面模式図である。図 6 を参照して、図 5 に示した半導体装置の製造方法を説明する。

【0064】図 6 に示すように、はんだ 8 の幅 W_s と、レーザ素子 2 の幅 W_c とは等しくなっている。そして、このときはんだ 8 の厚さ d は、評価値 W と厚さ d の値により位置が決まる点が図 4 に示したグラフの領域 A 内にプロットされるように決定される。具体的には、はんだ 8 の厚さ d は、 $0.3 \mu\text{m}$ 以上 $2.9 \mu\text{m}$ 以下といった範囲の値となる。また、より好ましくは、図 4 において上記点が領域 B 内にプロットされるように、はんだ 8 の厚さ d は、 $0.3 \mu\text{m}$ 以上 $1.6 \mu\text{m}$ 以下であることが好ましい。このようにしても、本発明の実施の形態 1 による半導体装置と同様の効果を得ることができる。

【0065】（実施の形態 3）図 7 は、本発明による半導体装置の実施の形態 3 を示す断面模式図である。図 7 の符号は図 1 のそれに対応する。図 7 を参照して、本発明による半導体装置の実施の形態 3 を説明する。

【0066】図 7 に示すように、半導体装置 1 は基本的に図 1 に示した半導体装置と同様の構造を備えるが、はんだバリア膜 7 およびはんだ 8 の幅 W_s が、レーザ素子 2 の幅 W_c よりも広くなるとともに、はんだ 8 の厚さが図 1 に示した半導体装置のはんだ 8 の厚さより相対的に薄くなっている点が異なる。すなわち、サブマウント 3 にレーザ素子 2 を搭載する前のはんだ 8 の厚さ d （図 6 参照）と、はんだ 8 の幅 W_s およびレーザ素子 2 の幅 W_c とから決定される評価値 W との関係が図 4 に示したグラフの領域 A 内部、より好ましくは領域 B 内部にプロットされるような関係を満たしている限り、図 7 に示すようにはんだ 8 の幅 W_s がレーザ素子 2 の W_c よりも広くなってもよい。なお、図 4 に示した関係を満足するためには、はんだ 8 の幅 W_s の値は（レーザ素子 2 の幅 $W_c + 60 \mu\text{m}$ ）以下である必要がある。この場合も、本発明の実施の形態 1 と同様にレーザ素子 2 の端面上にはんだ 8 がはい上ることを抑制できる。

【0067】（実施の形態 4）図 8 は、本発明による半導体装置の実施の形態 4 を示す断面模式図である。図 8 の符号は図 1 のそれに対応する。図 8 を参照して、本発明による半導体装置の実施の形態 4 を説明する。

【0068】図 8 を参照して、半導体装置 1 は基本的に図 1 に示した半導体装置と同様の構造を備えるが、はんだ 8 の厚さが図 1 に示した半導体装置よりも相対的に薄

くなっている。この場合も、図 4 に示した評価値 W とはんだ 8 の厚さ d （図 4 参照）との関係を満足している限り、図 1 に示した半導体装置と同様にレーザ素子 2 の端面上にはんだ 8 がはい上ることを抑制できる。

【0069】すなわち、図 9 に示すように、レーザ素子 2 をサブマウント 3 上にボンディングする前段階において、はんだ 8 の厚さ d と、はんだ 8 の平面形状における幅 W_s とレーザ素子 2 の幅 W_c とから決定される評価値 W （図 4 参照）との関係が、図 4 に示すような領域 A、より好ましくは領域 B 内にプロットされるような関係を満たす場合、図 1 に示した半導体装置と同様の効果を得ることができる。なお、図 9 は、図 8 に示した半導体装置の製造方法を説明するための断面模式図である。

【0070】また、図 8 に示した半導体装置 1 では、はんだ 8 の厚さが図 1 に示したはんだ 8 の厚さより薄くなっているため、はんだ 8 の端部がレーザ素子 2 の下部表面の端部にまで到達していない。このため、はんだ 8 がレーザ素子 2 の端面上にはい上ることをより確実に防止できる。

【0071】

【実施例】本発明の効果を確認するため、以下に示すような試料（本発明の実施例および比較例の試料）を作製し、それぞれの試料についてレーザ素子の側壁面上にはんだのはい上がりが発生しているかどうかを目視で確認する外観検査、および各試料が正常にレーザ光を発振するかどうかを確認する発光検査を行なった。

【0072】（実施例 1）本発明による半導体装置の実施例として、図 10 に示したような半導体装置の試料を作製した。図 10 は、本発明による半導体装置の実施例 1 の試料の構成を示す断面模式図である。また、図 11 は、図 10 に示した半導体装置の製造方法を説明するための断面模式図である。

【0073】図 10 に示すように、半導体装置 1 は、レーザ素子 2 を搭載したサブマウント 3 がヒートシンク 2 に接続された構造を備える。サブマウント 3 では、窒化アルミニウム（AlN）焼結体からなる基板 4 の上部表面上に密着層としてのチタン（Ti）膜 18 が形成されている。基板 4 のサイズとしては、たとえば幅が 1.2mm 、長さが 1.5mm 、厚さが 0.3mm である。また、Ti 膜 18 の厚さは $0.1 \mu\text{m}$ である。この Ti 膜 18 上には拡散防止層としての白金（Pt）膜 19 が形成されている。Pt 膜 19 の厚さは $0.2 \mu\text{m}$ である。この Ti 膜 18 および Pt 膜 19 から Ti/Pt 積層膜 5 が構成される。この Pt 膜 19 上に電極層としての Au 膜 6 が形成されている。Au 膜 6 の厚さは $0.6 \mu\text{m}$ である。この Au 膜 6 の上部表面上には白金（Pt）からなるはんだバリア膜 7 が形成されている。ここで、レーザ素子 2 の幅よりはんだバリア膜 7 の幅が狭く、はんだ 8 の厚みが充分厚い場合、図 10 に示すようにはんだ 8 の外周部 10 がはんだバリア膜 7 の端面上を

覆うとともにAu膜6の上部表面に接触してもよい。

【0074】なお、レーザ素子2の幅は0.3mm、長さは1.0mmであり、Au膜6の幅は0.6mm、長さは1.3mmである。また、後述する製造方法において示すように、レーザ素子2をサブマウント3に接合する前に、はんだ8の幅および長さは、後述する表2に示すように試料毎に適宜変更している。また、それぞれの試料について、はんだバリア膜7の幅および長さははんだ8の幅および長さと同様とした。

【0075】このはんだバリア膜7上にははんだ8が配置されている。はんだ8の厚さや平面形状は、後述するように試料により適宜変更される。レーザ素子2は、はんだ8によってサブマウント3に接着固定されている。レーザ素子2としては、GaAsチップを用いた半導体レーザ素子を用いる。

【0076】基板4において、Ti膜18が形成された上部表面とは反対側に位置する下部表面上にはTi/Pt/Au積層膜20が形成されている。具体的には、基板4の下部表面上に厚さ0.1μmのチタン(Ti)膜が形成され、このTi膜上に厚さ0.2μmの白金(P

t)膜が形成され、さらにこのPt膜上に厚さ0.6μmの金(Au)膜が形成されている。そして、このTi/Pt/Au積層膜20の、基板4に対向する面とは反対側の表面上(Au膜上)にはんだ21が配置されている。サブマウント3下には、はんだ21を介してヒートシンク22が配置されている。ヒートシンク22のサイズは、幅が2mm、長さが6mm、厚さが1.5mmである。はんだ21は、ヒートシンク22とサブマウント3とを接着固定するために用いられる。

【0077】ヒートシンク22の材料としては銅タングステン(CuW)合金が用いられる。レーザ素子2としては、ガリウムヒ素(GaAs)半導体を用いたレーザ素子が用いられる。また、はんだ8の組成としては、金：錫＝80：20(質量比)という組成比の金錫系はんだ材が用いられる。

【0078】図10に示した半導体装置は、基本的に以下に示す表1に示した工程を実施することにより製造することができる。

【0079】

【表1】

工 程		実施例1	実施例2
1	基板製造	AlN	同左
2	平面研磨	Ra:0.05μm	Ra:0.05μm, 0.5μm
3	パターニング	フォトリソグラフィ	同左
4	密着層蒸着	Ti(0.1μm)	同左
5	拡散防止層蒸着	Pt(0.2μm)	同左
6	電極層蒸着	Au(0.6μm)	同左
7	リフトオフ	レジスト剥離液	同左
8	裏面蒸着	Ti(0.1μm) Pt(0.2μm) Au(0.6μm)	同左
9	はんだバリア層形成	メタルマスク法 Pt(0.2μm)	同左
10	はんだ層形成	AuSn Au:Sn=80:20	AuSn Au:Sn=10:90
11	切断		
12	レーザ素子接合	GaAsチップ	同左
13	ヒートシンクへ接合 およびワイヤーボンド	CuW合金	同左

【0080】表1および図11を参照して、図10に示した半導体装置の製造方法を説明する。

【0081】図10に示した半導体装置の製造方法では、まず第1工程として基板製造工程(表1参照)を実施する。基板のサイズとしては、たとえば幅を50mm、長さを50mm、厚さを0.4mmとすることができる。このように、サブマウント3(図11参照)の基板4よりサイズの大きな基板を準備して、その基板の表面に必要な構造を形成し、当該基板を後述する切断工程(表1参照)で切断、分割することにより、サブマウント3(図11参照)を得ることができる。サブマウント3の基板4(図11参照)となるべき基板は、通常の基板製造方法に基づいて作製される。基板4の材料として

は窒化アルミニウム(AlN)焼結体(表1参照)を用いる。窒化アルミニウム焼結体のようなセラミックからなる基板4の製造方法としては、通常のセラミック構造体の製造方法を適用することができる。なお、基板4の材料としては窒化アルミニウム以外のセラミックス、あるいは半導体基板あるいは金属基板を用いてもよい。

【0082】次に、第2工程として、第1工程である基板製造工程において製造した窒化アルミニウム焼結体からなる基板の表面を研磨する平面研磨工程(表1参照)を実施する。ここで、基板4(図11参照)となるべき窒化アルミニウム基板の表面粗さがRaで0.05μmとなるまで研磨を行なう。この研磨工程における研磨方法としては、通常用いられる研磨方法を適用することが

できる。たとえば、研磨方法として、研削盤による研磨、サンドブラスト、サンドペーパーや砥粒による研磨などの研磨方法を用いることができる。

【0083】次に、密着層としてのTi膜18（図11参照）、拡散防止層としてのPt膜19（図11参照）および電極層としてのAu膜6（図11参照）を所定のパターンで形成するため、第3工程としてパターニング工程（表1参照）を行なう。このパターニング工程においては、フォトリソグラフィ法を用いて、Ti膜18、Pt膜19およびAu膜6が形成されるべき領域以外の領域について、基板表面にレジスト膜を形成する。

【0084】次に、第4工程として、密着層蒸着工程を実施する。具体的には、密着層としてのTi膜18（図11参照）となるべきTi膜を基板表面に蒸着する。このとき形成されるTi膜の厚さはたとえば0.1 μ mとすることができる。なお、密着層としては、Ti以外にクロム、ニッケルクロム、タンタルおよびこれらの化合物を用いることができる。また、密着層（Ti膜18）の厚さとしては、0.01 μ m以上1.0 μ m以下とすることが好ましい。

【0085】次に、第5工程として、密着層としてのTi膜18（図11参照）となるべきTi膜上に、拡散防止層としてのPt膜19（図11参照）となるべきPt膜を形成する拡散防止層蒸着工程を実施する（表1参照）。Pt膜の厚さとしては、たとえば0.2 μ mという値を用いることができる。なお、拡散防止層としては、上述のPt以外に、パラジウム、ニッケルクロム、タングステンチタニウム、ニッケル、モリブデンなどを用いることができる。また、拡散防止層（Pt膜19）の厚さとしては0.01 μ m以上1.5 μ m以下であることが好ましい。

【0086】次に、第6工程として、電極層としてのAu膜6（図11参照）となるべきAu膜を形成する電極層蒸着工程を実施する（表1参照）。Au膜の厚さとしては、たとえば0.6 μ mとすることができる。電極層（Au膜6）の厚さは、好ましくは0.1 μ m以上10 μ m以下である。なお、密着層としてのTi膜18、拡散防止層としてのPt膜19および電極層としてのAu膜6（図11参照）を形成する方法としては、蒸着以外のスパッタリングやめっき法など通常の成膜方法を適用することができる。

【0087】そして、第3工程のパターニング工程において形成したレジスト膜を、レジスト剥離液によって除去することにより、そのレジスト膜上に位置していたTi膜、Pt膜およびAu膜の一部分をレジスト膜とともに除去する第7工程としてのリフトオフ工程を実施する（表1）。この結果、基板上に所定のパターンを有するTi膜18、Pt膜19およびAu膜6（図11参照）を形成することができる。

【0088】次に、第8工程として、基板4の裏面上に

Ti/Pt/Au積層膜20（図11参照）を形成する裏面蒸着工程を実施する（表1参照）。ここで、Ti/Pt/Au積層膜を構成するTi膜の厚さは0.1 μ m、Pt膜の厚さは0.2 μ m、Au膜の厚さは0.6 μ mとする。なお、Ti/Pt/Au積層膜20におけるTi膜としては、上記第4工程の密着層蒸着工程において形成される密着層と同様の材料を用いることができるとともに、その厚さを0.01 μ m以上1.0 μ m以下とすることが好ましい。また、Ti/Pt/Au積層膜20におけるPt膜としては、上述の拡散防止層として用いる材料と同様の材料を用いることができるとともに、その厚さを0.01 μ m以上1.5 μ m以下とすることができる。Ti/Pt/Au積層膜20におけるAu膜については、上述の電極層と同様にその厚さを0.1 μ m以上10 μ m以下とすることができる。

【0089】また、第8工程としての裏面蒸着工程においては、第3工程から第7工程（表1参照）と同様の工程を実施してもよい。すなわち、基板4の裏面側に所定のパターンを有するTi/Pt/Au積層膜20を形成する場合は、Ti膜18、Pt膜19およびAu膜6を形成した場合と同様に予めフォトリソグラフィ法を用いてパターンを有するレジスト膜を基板4の裏面上に形成しておき、さらにTi/Pt/Au積層膜20となるべき膜を形成した後、上述のレジスト膜を除去するリフトオフ工程を実施してもよい。また、所定のパターンを有するTi/Pt/Au積層膜20を形成するため、メタルマスク法を用いてもよい。

【0090】次に、第9工程としてはんだバリア膜7（図11参照）を形成するはんだバリア層形成工程を実施する（表1参照）。ここでは、メタルマスク法を用いて、Au膜6（図11参照）上に白金（Pt）からなるはんだバリア膜7を形成する。はんだバリア膜7の厚さは0.2 μ mとする。なお、はんだバリア膜7の材料としては、白金以外にニッケルクロム、ニッケルなどを用いることができる。また、はんだバリア膜7の厚さは0.01 μ m以上1.5 μ m以下とすることが好ましい。

【0091】また、はんだバリア膜7を形成する方法として、上述のようなメタルマスク法ではなく、表1の第3工程から第7工程に示したようなフォトリソグラフィ法を用いたパターニング方法、あるいは他の方法を用いてもよい。このようにしても、所定のパターンを有するはんだバリア膜7を形成することができる。

【0092】次に、第10工程として、はんだバリア膜7上にはんだ8を形成するはんだ層形成工程（表1参照）を実施する。このとき、試料によりはんだ8の幅W、や厚さd（図11参照）を、試料により適宜変更する。また、はんだ8としては金錫（AuSn）系はんだを用い、その組成はAu：Sn＝80：20（質量比）とした。なお、はんだ8を構成する材料としては、上述

のようなAuSn系はんだ以外にも、AuGe系はんだ、PbSn系はんだ、InSn系はんだ、AgSn系はんだあるいはこれらの積層物を用いることができる。また、はんだ8（図11参照）の厚さd（図11参照）としては0.1 μ m以上10 μ m以下とすることができる。

【0093】なお、所定のパターンを有するはんだ8の形成方法としては、メタルマスク法あるいは表1の本発明による半導体装置の製造方法の第3工程から第7工程に示したようなフォトリソグラフィ法を用いてもよい。

【0094】次に、上述のように第1工程で準備した基板の表面に所定の構造が形成された後、その基板を切断する切断工程（表1参照）を実施する。この結果、図11に示すサブマウント3を得ることができる。

【0095】次に、第12工程として、レーザ素子の接合工程を実施する（表1参照）。具体的には、図11に示すように、加熱により溶融したはんだ8の上に、矢印14に示すようにレーザ素子2を配置する。このようにして、GaAsを用いたチップであるレーザ素子2をはんだ8によってサブマウント3に接合する。

【0096】なお、レーザ素子2としては、GaAsを用いた素子あるいはInPを用いたレーザ素子であってもよく、その表面に絶縁層および電極層などのメタライズ層が形成されていてもよい。

【0097】そして、レーザ素子2をサブマウント3にボンディングした後、第13工程として、レーザ素子2を実装したサブマウント3をヒートシンク22（図11参照）に接合する工程およびワイヤボンド工程（表1参照）を実施する。具体的には、サブマウント3とヒートシンク22との間にシート状のはんだ21を配置する。そして、サブマウント3に対して、ヒートシンク22を矢印23に示す方向に相対的に移動させるとともに、はんだ21を溶融する。このようにして、サブマウント3

とヒートシンク22とをはんだ21により接合する。また、レーザ素子2の表面に形成された電極などについて金（Au）線をワイヤボンディングする。この結果、図10に示したような半導体装置の試料を得ることができる。

【0098】ヒートシンク22の材料としてはCuW合金を用いる。なお、ヒートシンク22の材料としてはCuW合金以外に、銅（Cu）、タングステン（W）、モリブデン（Mo）、鉄（Fe）およびこれらの金属の合金や複合材料を用いることができる。

【0099】はんだ21については、上述のようにシート状のはんだをサブマウント3とヒートシンク22との間に配置してもよいし、はんだ21を予めヒートシンク22の上部表面に配置してもよい。また、はんだ21をサブマウント3のTi/Pt/Au積層膜20の下部表面上に配置してもよい。

【0100】はんだ21と接合されるヒートシンク22の表面には、ニッケル（Ni）膜および金（Au）膜からなる積層膜を形成しておくことが好ましい。このような積層膜を形成するのは、ヒートシンク22の表面におけるはんだ21の濡れ性を向上させるためである。

【0101】このような製造方法に基づいて、本発明の実施例の試料を作成した。また、はんだ8の厚さdと評価値Wとの関係が図4に示した領域Aに入らない、比較例としての試料も同様の工程により作成した。この結果、以下の表2に示すように23種類の試料（試料ID1～23）を得た。なお、試料ID1～23のそれぞれについては、同様の構造を備える試料を20個ずつ作製した。そして、試料ID1～試料ID23のそれぞれについて、外観検査および発光検査を行なった。その結果も表2に示されている。

【0102】

【表2】

試料 ID	区分	Lc (μm)	Ls (μm)	Wc (μm)	Ws (μm)	d (μm)	W (μm)	外観良品	発光良品
1	実施例	1000	1000	300	350	0.4	-25	20/20	19/20
2	実施例	1000	1000	300	300	0.4	0	20/20	20/20
3	実施例	1000	1000	300	260	0.4	20	20/20	20/20
4	実施例	1000	1000	300	240	0.4	30	20/20	18/20
5	比較例	1000	1000	300	200	0.4	50	20/20	8/20
6	比較例	1000	960	300	320	3.0	-10	11/20	10/20
7	実施例	1000	960	300	280	3.0	10	19/20	19/20
8	実施例	1000	960	300	250	3.0	25	20/20	20/20
9	実施例	1000	960	300	200	3.0	50	20/20	20/20
10	実施例	1000	960	300	160	3.0	70	20/20	18/20
11	比較例	1000	960	300	130	3.0	85	20/20	12/20
12	比較例	1000	930	300	260	5.0	20	13/20	11/20
13	実施例	1000	930	300	220	5.0	40	19/20	19/20
14	実施例	1000	930	300	200	5.0	50	20/20	20/20
15	実施例	1000	930	300	160	5.0	70	20/20	20/20
16	実施例	1000	930	300	130	5.0	85	20/20	19/20
17	比較例	1000	930	300	100	5.0	100	20/20	9/20
18	比較例	1000	920	300	200	7.0	50	14/20	13/20
19	実施例	1000	920	300	140	7.0	80	20/20	18/20
20	比較例	1000	920	300	100	7.0	100	20/20	13/20
21	実施例	1000	1010	300	280	1.0	10	20/20	20/20
22	実施例	1000	990	300	280	1.0	10	20/20	20/20
23	比較例	1000	950	300	280	1.0	10	20/20	15/20

【0103】表2において、Lc、Ls、Wc、Ws、d、Wの欄は、それぞれレーザ素子2の長さ（図3参照）、はんだ8の長さ（図3参照）、レーザ素子2の幅（図11参照）、はんだ8の幅（図11参照）、はんだ8の厚さ（図11参照）、評価値を示している。また、表2において、外観良品の欄は、外観検査の結果を示しており、たとえば試料ID1についての外観良品の欄の20/20という記載は、20個の試料のうち20個の試料（すなわちすべての試料）について、レーザ素子2の端面上にはんだ8（図10参照）がはい上がった不良部が発見されなかったことを示している。また、試料ID6についての外観良品の欄の11/20とは、20個の試料のうち、11個についてはレーザ素子2の端面上にはんだ8がはい上がる不良は発生していなかったが、残りの9個の試料については、レーザ素子2の端面上へのはんだ8のはい上がりが発生していたことを示している。

【0104】また、表2における発光良品の欄の記載は、それぞれの試料についてレーザ発振を確認できたかどうかを示しており、たとえば試料ID1についての発光良品の欄の19/20という記載は、20個の試料のうち19個についてレーザ光の発振を確認できたことを示している。

【0105】表2からもわかるように、本発明の実施例の試料においては、比較例よりも高い確率でレーザ光の発振を行なうことができる正常な半導体装置を得られることがわかる。

【0106】（実施例2）本発明の効果を確認するため、以下の表3に示すように試料ID24～48の試料を準備した。なお、試料ID24～48のそれぞれについて、各20個ずつ半導体装置の試料を作製した。そして、それぞれのすべての試料について、外観検査および発光検査を行なった。その結果を表3に示す。なお、試料ID24～48の製造方法は、表1に示すように、基本的には実施例1の試料の製造方法と同様であり、その構造も図10に示した半導体装置とほぼ同様である。ただし、実施例2においては、はんだ8（図10参照）の組成をAu：Sn＝10：90（質量比）とした。また、試料ID47は、基板の平面研磨工程において、窒化アルミニウム基板の表面粗さをRaで0.5μmとしたものであり、試料ID48は、比較例として、同じく表面粗さをRaで1.5μmとしたものである。

【0107】

【表3】

試料 ID	区分	Lc (μm)	Ls (μm)	Wc (μm)	Ws (μm)	d (μm)	W (μm)	外観良品	発光良品
24	実施例	1000	1000	300	350	0.4	-25	20/20	18/20
25	実施例	1000	1000	300	300	0.4	0	20/20	20/20
26	実施例	1000	1000	300	260	0.4	20	20/20	20/20
27	実施例	1000	1000	300	240	0.4	30	20/20	17/20
28	比較例	1000	1000	300	200	0.4	50	20/20	6/20
29	比較例	1000	960	300	320	3.0	-10	12/20	9/20
30	実施例	1000	960	300	280	3.0	10	18/20	18/20
31	実施例	1000	960	300	250	3.0	25	20/20	20/20
32	実施例	1000	960	300	200	3.0	50	20/20	20/20
33	実施例	1000	960	300	160	3.0	70	20/20	19/20
34	比較例	1000	960	300	130	3.0	85	20/20	9/20
35	比較例	1000	930	300	260	5.0	20	12/20	11/20
36	実施例	1000	930	300	220	5.0	40	19/20	17/20
37	実施例	1000	930	300	200	5.0	50	20/20	8/20
38	実施例	1000	930	300	160	5.0	70	20/20	20/20
39	実施例	1000	930	300	130	5.0	85	20/20	18/20
40	比較例	1000	930	300	100	5.0	100	20/20	10/20
41	比較例	1000	920	300	200	7.0	50	14/20	11/20
42	実施例	1000	920	300	140	7.0	80	20/20	19/20
43	比較例	1000	920	300	100	7.0	100	20/20	10/20
44	実施例	1000	1000	300	260	2.0	20	20/20	20/20
45	実施例	1000	970	300	260	2.0	20	20/20	20/20
46	比較例	1000	940	300	260	2.0	20	20/20	13/20
47	実施例	1000	970	300	260	2.0	20	20/20	19/20
48	比較例	1000	970	300	260	2.0	20	20/20	14/20

【0108】表3の記載項目は、基本的に表2と同様である。表3からも分かるように、本発明の実施例の方が比較例よりも高い確率で良品（レーザ光の発振を正常に行うことができる半導体装置）を得ることがわかる。

【0109】今回開示された実施の形態および実施例はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した実施の形態および実施例ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0110】

【発明の効果】このように、本発明によれば、レーザ素子におけるレーザ光の発光を確実に行うことが可能な半導体装置を得ることができる。

【図面の簡単な説明】

【図1】 本発明による半導体装置の実施の形態1を示す断面模式図である。

【図2】 図1に示した半導体装置の製造方法を説明するための断面模式図である。

【図3】 図2の矢印40側から見たレーザ素子とはんだとの平面形状を示す模式図である。

【図4】 評価値Wまたは評価値Lとはんだ厚さdとが満足すべき関係を表すグラフを示す図である。

【図5】 本発明による半導体装置の実施の形態2を示す断面模式図である。

す断面模式図である。

【図6】 図5に示した半導体装置の製造方法を説明するための断面模式図である。

【図7】 本発明による半導体装置の実施の形態3を示す断面模式図である。

【図8】 本発明による半導体装置の実施の形態4を示す断面模式図である。

【図9】 図8に示した半導体装置の製造方法を説明するための断面模式図である。

30 【図10】 本発明による半導体装置の実施例1の試料の構成を示す断面模式図である。

【図11】 図10に示した半導体装置の製造方法を説明するための断面模式図である。

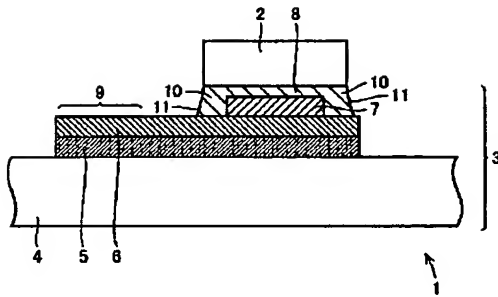
【図12】 従来の半導体装置の製造方法を説明するための断面模式図である。

【図13】 従来の半導体装置の問題点を説明するための断面模式図である。

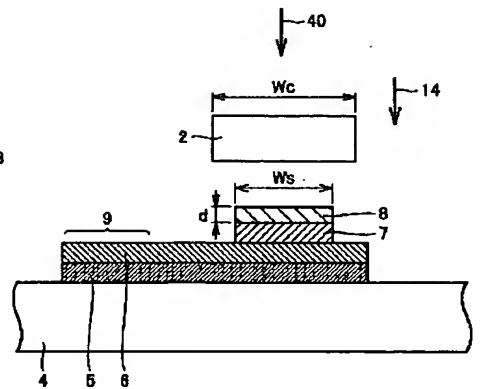
【符号の説明】

1 半導体装置、2 レーザ素子、3 サブマウント、4 基板、5 Ti/Pt積層膜、6 Au膜、7 はんだバリア膜、8、21 はんだ、9 ボンディングパッド部、10 外周部、11 端面、14、23、40 矢印、18 Ti膜、19 Pt膜、20 Ti/Pt/Au積層膜、22 ヒートシンク。

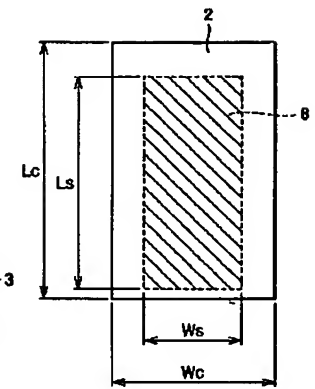
【図1】



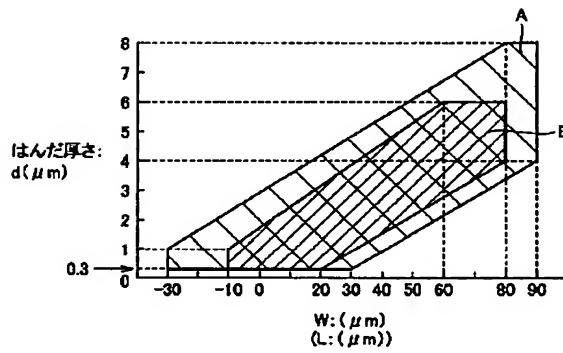
【図2】



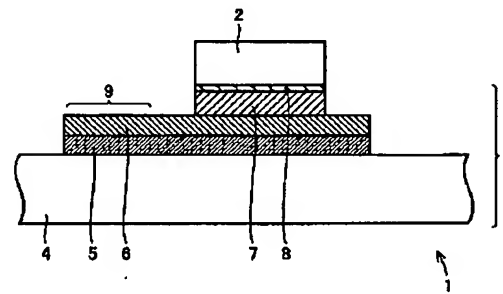
【図3】



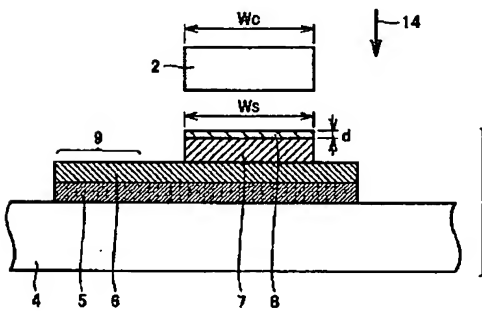
【図4】



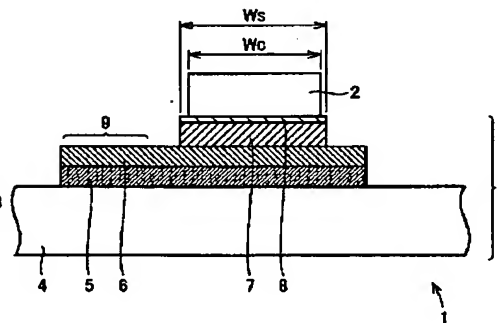
【図5】



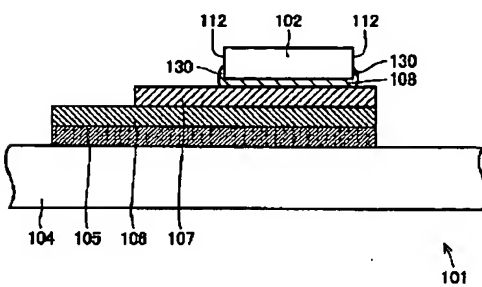
【図6】



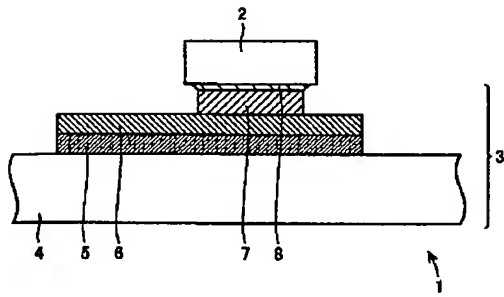
【図7】



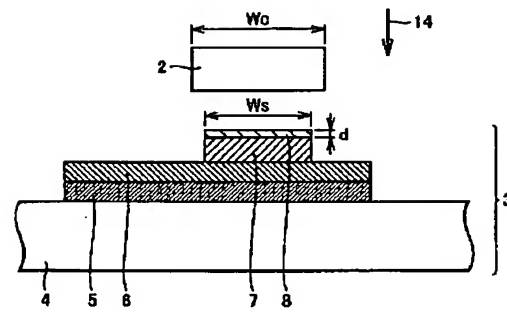
【図13】



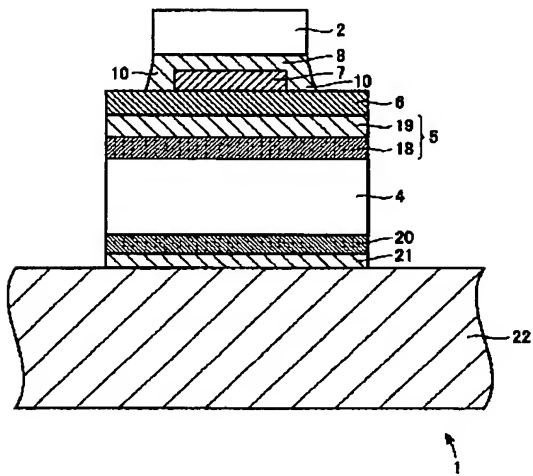
【図 8】



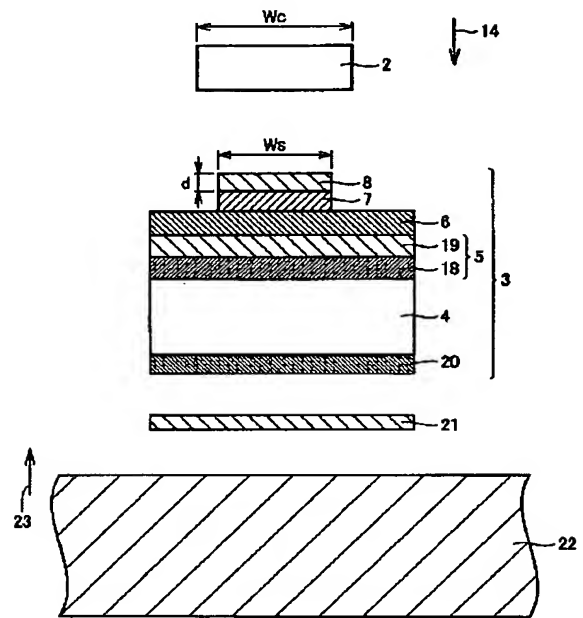
【図 9】



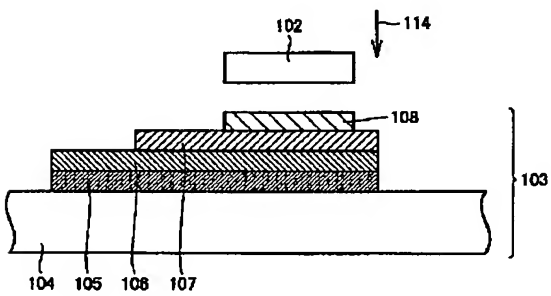
【図 10】



【図 11】



【図 12】



フロントページの続き

- (72)発明者 天羽 映夫
兵庫県伊丹市昆陽北一丁目1番1号 住友
電気工業株式会社伊丹製作所内
- (72)発明者 桧垣 賢次郎
兵庫県伊丹市昆陽北一丁目1番1号 住友
電気工業株式会社伊丹製作所内
- (72)発明者 笹目 彰
兵庫県伊丹市昆陽北一丁目1番1号 住友
電気工業株式会社伊丹製作所内
- (72)発明者 筑木 保志
兵庫県伊丹市昆陽北一丁目1番1号 住友
電気工業株式会社伊丹製作所内
- Fターム(参考) 5F047 AA07 AA14 BA01 BA05 BA19
BC07 BC14
5F073 AB16 CA02 EA29 FA15 FA18
FA22

